

DERWENT-ACC-NO: 2000-437876

DERWENT-WEEK: 200038

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Semiconductor device, includes bump electrodes distributed along the active area of the device to connect the device itself with a wiring board

PATENT-ASSIGNEE: HITACHI LTD[HITA]

PRIORITY-DATA: 1998JP-0329069 (November 19, 1998)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES
--------	----------	----------	-------

MAIN-IPC

JP 2000156430 A	June 6, 2000	N/A	003
-----------------	--------------	-----	-----

H01L 023/12

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-
--------	-----------------	---------	-------

DATE

JP2000156430A	N/A	1998JP-0329069
---------------	-----	----------------

November 19, 1998

INT-CL (IPC): H01L023/12, H01L023/36

ABSTRACTED-PUB-NO: JP2000156430A

BASIC-ABSTRACT:

NOVELTY - Bump electrodes (102), which connect a semiconductor device (101) to

a wiring board (105), are distributed along the active area of the device.

USE - None given.

BEST AVAILABLE COPY

ADVANTAGE - Offers optimum heat conductivity since raw material used for bump

electrode is usually metal. Reduces heat resistance due to increased heat-conducting path.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of the semiconductor device.

Semiconductor device 101

Bump electrodes 102

Wiring board 105

CHOSEN-DRAWING: Dwg.1/3

TITLE-TERMS: SEMICONDUCTOR DEVICE BUMP ELECTRODE

DISTRIBUTE ACTIVE AREA DEVICE

CONNECT DEVICE WIRE BOARD

DERWENT-CLASS: U11

EPI-CODES: U11-D01A; U11-D01A1; U11-D01A3; U11-D02B1;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2000-327778

PAT-NO: JP02000156430A

DOCUMENT-IDENTIFIER: JP 2000156430 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: June 6, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
YOSHIDA, SATOSHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP10329069

APPL-DATE: November 19, 1998

INT-CL (IPC): H01L023/12, H01L023/36

ABSTRACT:

PROBLEM TO BE SOLVED: To create a short path reaching a
thermal from the
heating surface of a semiconductor element via a bump by aligning
the thermal
via of a wiring substrate to the bump of the semiconductor element
and
connecting them each other.

SOLUTION: A semiconductor element 101 is electrically connected
to wiring

103 that is arranged on a wiring substrate 105 by a plurality of bumps 102, and

an underfill 106 is arranged between the semiconductor element 101 and the

wiring substrate 105 for assisting in mechanical connection. Then, a bump 108

is arranged also directly below an active region 107 in the semiconductor

element 101, and the bump 108 is located below the active region 107 of the

semiconductor element 101 and is created lower than other bumps 102 so that the

bump 108 does not touch them. A thermal via 104 is arranged directly below

this sort of the bump 108, and the thermal via 104 is aligned with the bump 108

and they are connected each other.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-156430

(P2000-156430A)

(43)公開日 平成12年6月6日(2000.6.6)

(51)IntCl.⁷

H 01 L 23/12
23/36

識別記号

F I

H 01 L 23/12
23/36

テマコード(参考)

J 5 F 0 3 6
D

審査請求 未請求 請求項の数4 OL (全3頁)

(21)出願番号

特願平10-329069

(22)出願日

平成10年11月19日(1998.11.19)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 吉田 学志

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(74)代理人 100068504

弁理士 小川 勝男

F ターム(参考) 5F036 AA01 BB16

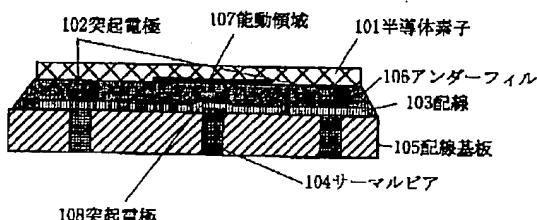
(54)【発明の名称】 半導体装置

(57)【要約】

【課題】フリップチップ接続構造において、半導体素子から配線基板に放熱する際に、半導体素子裏面から配線基板に放熱板などで放熱する構造では、熱の経路が長いため熱抵抗が高くなっていた。

【解決手段】フリップチップ接続に用いられる突起電極より低く作成した突起電極を半導体素子の能動領域近傍に配置し、熱伝導経路を短く、断面積が広くなったため、熱抵抗は小さくすることが出来た。

図 1



【特許請求の範囲】

【請求項1】半導体素子と配線基板が突起電極で接続されており、該半導体素子と該配線基板の間に樹脂が挿入されている半導体装置において、該配線基板が具備しているサーマルピア上の突起電極が該半導体素子の能動領域内に配置されていることを特徴とする半導体装置。

【請求項2】請求項1の半導体装置において、該半導体素子の能動領域内に配置されている突起電極は電気的に接続されていないことを特徴とする半導体装置。

【請求項3】請求項1又は2の半導体素子において、該半導体素子の能動領域内に配置されている突起電極は、該半導体素子と該配線基板を電気的に接続している該突起電極より低いことを特徴とする半導体装置。

【請求項4】請求項1又は2の半導体素子において、該半導体素子の能動領域内に配置されている突起電極が複数存在することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】半導体素子と配線基板の接続、特にFCA(Flip Chip Attach)に関する。

【0002】

【従来の技術】従来の技術は特開平9-115956号公報に示されるように半導体素子裏面から熱伝導板などを介してサーマルピアなどに接続されていた。または、特開平5-109823号公報に示されるように半導体素子表面からバンプを介して信号層に接続されていた。

【0003】

【発明が解決しようとする課題】従来の技術は特開平9-115956号公報では、チップの表面から裏面と熱伝導板などの熱の経路が必要であった。また、特開平5-109823号公報では電気的な接続しか考えられておらず熱伝導の経路は考えられていなかった。

【0004】このため従来の技術では発热量が大きい半導体素子の実装には、熱抵抗が大きいために半導体素子の動作時の温度が許容温度範囲を超てしまい、安定した動作が保証できなかった。

【0005】

【課題を解決するための手段】配線基板にはサーマルピアが作成可能な間隔で作成されている。配線基板のサーマルピアの間隔と同じ間隔で半導体素子にも突起電極を配置しておく。半導体素子にはその他にも信号用の突起電極を配置してある。配線基板のサーマルピアと半導体素子の突起電極を位置あわせて互いに接続することにより、半導体素子の発熱面から突起電極を経てサーマルピアに至る短い経路を作成する。

【0006】半導体素子の能動領域には突起電極が配置できないため、配線基板側に他の突起電極より低い突起電極を配置することにより、能動領域から発生する熱を樹脂を介して低い突起電極に放熱する経路を作ることにより放熱性能が増す。

【0007】また、配線基板と半導体素子の間に熱伝導性が良好な樹脂を配置することにより、半導体素子の発熱面からサーマルピアに至る経路を増やす。

【0008】

【発明の実施の形態】図1に実施の形態の1例を示す。半導体素子101は複数の突起電極102により、配線基板105上に配置された配線103に電気的に接続されている。半導体素子101と配線基板105の間にはアンダーフィル106が配置され、機械的接続の補助をしている。また、突起電極102直下の配線103にはサーマルピア104が接続されている。半導体素子101内の能動領域107直下にも突起電極108が配置されている。突起電極108は半導体素子101の能動領域107の下に配置してあるため、接触しないように他の突起電極102と比較して低く作成してある。突起電極108の直下にはサーマルピア104が配置されている。

【0009】図2に実施の形態の1例を示す。半導体素子101は複数の突起電極102により、配線基板105上に配置された配線103に電気的に接続されている。半導体素子101と配線基板105の間にはアンダーフィル106が配置され、機械的接続の補助をしている。また、突起電極102直下の配線103にはサーマルピア104が接続されている。半導体素子101内の能動領域107直下にも複数の突起電極108が配置されている。複数の突起電極108は半導体素子101の能動領域107の下に配置してあるため、接触しないように他の突起電極102と比較して低く作成してある。複数の突起電極108の直下には複数のサーマルピア104が配置してある。

【0010】図3に実施の形態の1例を示す。半導体素子101は複数の突起電極102により、配線基板105上に配置された配線103に電気的に接続されている。半導体素子101と配線基板105の間にはアンダーフィル106が配置され、機械的接続の補助をしている。また、突起電極102直下の配線103にはサーマルピア104が接続されている。半導体素子101内の能動領域107直下にも突起電極108が配置されている。突起電極108は半導体素子101の能動領域107と同等かや大きく作成されている。また、能動領域107に接触しないように他の突起電極102と比較して低く作成した。突起電極108の直下にはサーマルピア104が配置されている。

【0011】

【発明の効果】半導体素子の裏面から熱伝導板などを用いてサーマルピアに熱を伝える構造では、半導体素子表面から裏面と熱伝導板からサーマルピアまでの距離が熱抵抗になる。また、半導体素子表面から突起電極で信号層に接続する構造では信号層は金属であるが非常に薄いため熱が通りにくく熱抵抗が大きくなる。

【0012】これらと比較して半導体素子の発熱部から突起電極を経てサーマルピア至る構造は、半導体素子の発熱部からサーマルピアまでの経路が非常に短く短縮され、さらに突起電極に使用される素材は通常、金属であるので熱伝導率も良好であることが期待できる。

【0013】さらに、能動領域の近傍に突起電極を配置することにより、熱伝導経路が更に増加することから熱抵抗の低減に大きな効果が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態の1例を示す半導体装置の

10 断面図である。

【図2】本発明の実施の形態の1例を示す半導体装置の断面図である。

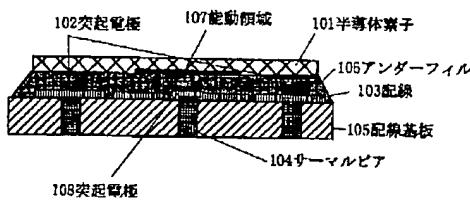
【図3】本発明の実施の形態の1例を示す半導体装置の断面図である。

【符号の説明】

101…半導体素子、102…突起電極、103…配線、104…サーマルピア、105…配線基板、106…アンダーフィル、107…能動領域、108…突起電極。

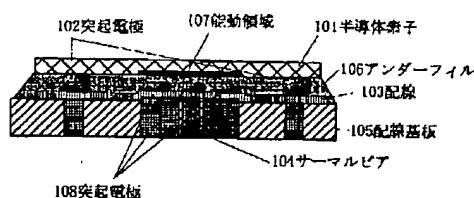
【図1】

図1



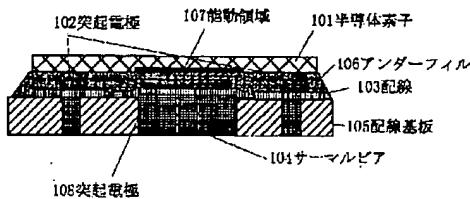
【図2】

図2



【図3】

図3



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.